

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-111535  
(43)Date of publication of application : 30. 04. 1996

---

(51) Int. Cl. H01L 29/84  
G01P 15/08  
G01P 15/12

---

---

(21)Application number : 07-092740 (71)Applicant : NIPPONDENSO CO LTD  
(22)Date of filing : 18. 04. 1995 (72)Inventor : OTSUKA YOSHINORI  
TAKEUCHI YUKIHIRO  
HATTORI TADASHI

---

(30)Priority

Priority	06194395	Priority	18. 08. 1994	Priority	JP
number :		date :		country :	

---

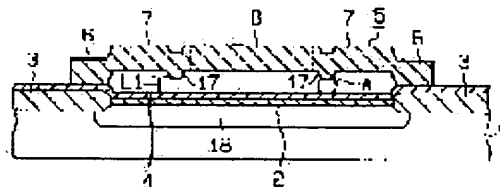
(54) SEMICONDUCTOR DYNAMIC QUANTITY SENSOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a metal insulator semiconductor FET type dynamic quantity sensor which enables avoidance of property deterioration, and manufacture thereof.

CONSTITUTION: Silicon oxide films 2, 3 and a silicon nitride film 4 are formed on the upper side of a P-type silicon substrate 1. A movable portion 5 made of a thin film is located above the silicon nitride film 4 at a predetermined distance. The movable portion 5 has a movable gate electrode portion at a part thereof, and is displaced by acceleration. A fixed electrode (source and drain regions) made of an impurity diffusion layer is formed on the P-type silicon substrate 1. A

current flowing through the fixed electrode is changed by a change in the position thereof relative to the movable gate electrode due to acceleration. On the lower side of the movable portion 5 other than the movable gate electrode portion, a movable range limiting projection 17 is provided, thus defining a distance smaller than the distance between the P-type silicon substrate 1 and the movable gate electrode portion.



P-2098

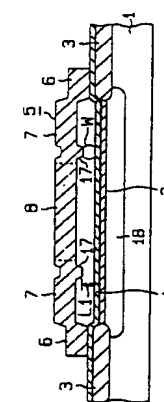
特開平8-111535  
(43) 公開日 平成8年(1996)4月30日

(51) Int. Cl.	識別記号	内蔵型番号	P I	技術表示箇所
H 01 L 29/84	C			
G 01 P 15/08	Z			
		15/12		
審査請求 未請求 請求項の数10 O L (金 11 頁)				
(21) 出願番号	特願平7-92740	(71) 出願人		
(22) 出願日	平成7年(1995)4月18日	日本電装株式会社		
(31) 優先権主張番号	特願平6-194395	(72) 発明者		
(32) 優先日	平6(1994)8月18日	大塚 親則		
(33) 優先権主張国	日本 (J P)	愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内		
		(72) 発明者		
		竹内 幸裕		
		愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内		
		(72) 発明者		
		飯田 正		
		愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内		
		(74) 代理人		
		弁理士 扇田 博宣		

(54) 【発明の名称】 半導体力学量センサ及びその製造方法

(57) 【要約】

【目的】 特性劣化を回避できるMISFET型力学量センサ及びその製造方法を提供することにある。  
【構成】 P型シリコン基板1の上面にはシリコン酸化膜2、3、シリコン窒化膜4が形成され、シリコン酸化膜4の上面に所定の間隔を隔てて導膜よりなる可動部5が配置され、可動部5の一部に可動ゲート電極部を有し、加速度により変位する。P型シリコン基板1には不純物拡散層よりなる固定電極(ソース・ドレイン部)が形成され、加速度による可動ゲート電極部との相対位置の変化により、流れる電流が変化する。可動ゲート電極部以外の可動部5の下面には、可動範囲制限突起17が設けられ、P型シリコン基板1と可動ゲート電極部との間の間隔よりも狭い間隔を形成している。



【特許請求の範囲】

- 【請求項1】 半導体基板と、前記半導体基板の上方に所定の間隔を隔てて配置され、その一部に可動ゲート電極部を有し、力学量の作用に伴って変位する梁構造の可動部と、前記半導体基板に不純物拡散層を形成することで構成され、前記力学量の作用による前記可動ゲート電極部との相対的位置の変化により、流れる電流が変化するソース・ドレイン部と、前記半導体基板と前記可動部との間に設けられ、前記半導体基板と前記可動ゲート電極部との間の間隔よりも狭い間隔を形成するための可動範囲制限部とを備えたことを特徴とする半導体力学量センサ。
- 【請求項2】 請求項1に記載の半導体力学量センサにおいて、前記可動部は導膜よりなる半導体力学量センサ。
- 【請求項3】 請求項1に記載の半導体力学量センサにおいて、前記可動範囲制限部は、前記可動ゲート電極部以外の前記可動部の下面に設けた突起にて構成したものである半導体力学量センサ。
- 【請求項4】 請求項1に記載の半導体力学量センサにおいて、前記可動範囲制限部は、前記半導体基板の上面に設けた突起にて構成したものである半導体力学量センサ。
- 【請求項5】 請求項1に記載の半導体力学量センサにおいて、前記梁構造の可動部は重り部を有し、前記可動範囲制限部は、前記可動部の梁部における前記重り部に近接する位置に設けたものである半導体力学量センサ。
- 【請求項6】 請求項3に記載の半導体力学量センサにおいて、前記可動部は導膜よりなり、前記突起は、前記可動部を構成する導膜の厚さを部分的に厚くすることにより形成したものである半導体力学量センサ。
- 【請求項7】 請求項3に記載の半導体力学量センサにおいて、前記可動部は導膜よりなり、前記突起は、前記可動部を構成する導膜の厚さを部分的に厚くすることにより形成したものである半導体力学量センサ。
- 【請求項8】 半導体基板と、前記半導体基板の上方に所定の間隔を隔てて配置され、その一部に可動ゲート電極部を有し、力学量の作用に伴って変位する導膜よりなる梁構造の可動部と、前記半導体基板に不純物拡散層を形成することで構成され、前記力学量の作用による前記可動ゲート電極部との相対的位置の変化により、流れる電流が変化するソース・ドレイン部とを備えた半導体力学量センサの製造方法であって、半導体基板の主表面に厚さが均一なる犠牲層を形成する第1工程と、前記犠牲層の一部である可動範囲制限突起の形成箇所を薄くする第2工程と、前記犠牲層の上に、導膜よりなる可動部形成膜を形成す



【0026】図2に示すように、可動部5の各梁部71における重り部8の近接位置には、シリコン基板1に向かう突起9が形成されている。この突起9は、可動部5の各梁部71において、シリコン基板1と対向する位置に突出して突出（変位）する可動範囲制限用突起（可動範囲制限部）であり、シリコン基板1の上のシリコン酸化膜4を貫通してシリコン基板1の上のシリコン酸化膜4とのギャップ（距離）L1は、図4に示すように、可動部5の可動ゲート電極部9、10とシリコン基板1の上のシリコン酸化膜4とのギャップ（距離）L2よりも小さく設定されている。このように、可動範囲制限用突起17を作製することにより、可動部5の移動範囲を制限し、可動部5の移動範囲を狭小化することができる。

また、図2に示すように、可動部5の各梁部71における重り部8の近接位置には、シリコン基板1に向かう突起9が形成されている。この突起9は、可動部5の各梁部71において、シリコン基板1と対向する位置に突出して突出（変位）する可動範囲制限用突起（可動範囲制限部）であり、シリコン基板1の上のシリコン酸化膜4を貫通してシリコン基板1の上のシリコン酸化膜4とのギャップ（距離）L1は、図4に示すように、可動部5の可動ゲート電極部9、10とシリコン基板1の上のシリコン酸化膜4とのギャップ（距離）L2よりも小さく設定されている。このように、可動範囲制限用突起17を作製することにより、可動部5の移動範囲を制限し、可動部5の移動範囲を狭小化することができる。

さらに、図2に示すように、可動部5の各梁部71における重り部8の近接位置には、シリコン基板1に向かう突起9が形成されている。この突起9は、可動部5の各梁部71において、シリコン基板1と対向する位置に突出して突出（変位）する可動範囲制限用突起（可動範囲制限部）であり、シリコン基板1の上のシリコン酸化膜4を貫通してシリコン基板1の上のシリコン酸化膜4とのギャップ（距離）L1は、図4に示すように、可動部5の可動ゲート電極部9、10とシリコン基板1の上のシリコン酸化膜4とのギャップ（距離）L2よりも小さく設定されている。このように、可動範囲制限用突起17を作製することにより、可動部5の移動範囲を制限し、可動部5の移動範囲を狭小化することができる。

以上のように、本発明の実施形態によれば、可動部5の移動範囲を制限し、可動部5の移動範囲を狭小化することができる。

【0027】又、シリコン基板1の表面には、可動部5と対向した部分での固定電極12、13、14、15の異なる領域においてN型不純物並吸層よりなる下部電極18が形成されている。この下部電極18は可動部5の電位と等電位に保たれており、シリコン基板1と可動部5との間で発生する静電気を抑えるものである。

【0028】シリコン基板1における可動部5の配置領域の周辺には固定回路（図示略）が形成されている。そして、周辺回路と可動部5（可動ゲート電極部9、100）とが電気的に接続されるとともに、周辺回路と固定電極12、13、14、15とが電気的に接続され、さらに、周辺回路と下部電極18とが電気的に接続されている。

【0009】次に、この半導体加速度センサの動作を説明する。可動部5とシリコン基板1との間、および固定部6とシリコン基板1との間に電圧をかけたとき、チャネル電流12、13(14、15)間が形成され、固定電極12、13(14、15)間には電流が流れる。ここで、本半導体加速度センサの動作を説明する。図1に示すX、Y方向(基板1の表面に平行な方向)に可動部9、10(可動部5)が変位した場合には、固定電極間のチャネル領域の面積(トランジスタでいう、チャネル電流が流れることにより、固定電極12、13に流れる電流は減少し、固定電極14、15に流れる電流は増大する)。図1に示すX、Y方向(基板1の表面に平行な方向)に可動部9、10(可動部5)が変位した場合には、固定電極間のチャネル領域の面積(トランジスタでいう、チャネル電流が流れることにより、固定電極12、13に流れる電流は増加し、固定電極14、15に流れる電流は減少する)。一方、本半導体加速度センサが加速度を受けて、図1に示すZ方向(基板1の表面に垂直で、かつ、基板1から離れる方向)に可動部9、10(可動部5)が変位した場合には、電界強度の変化によって、固定電極16のキャリア濃度が減少するため、前記電流は同時に減少する。

【0030】このようにして、加速度による可動ゲート電極部9、10と固定電極12、13、および14、15との相対的位置の変化により固定電極12、13間と

固定電極 14, 15 間に流れる電流が変化し、この電流変化の大きさ、位相により二次元の加速度が検出される。

【0031】又、半導体基板（P型シリコン基板１、シリコン酸化膜２、３、シリコン窒化膜４）と、可動ゲート電極部９、１０以外の可動部５との間、つまり、築部１７の下面に可動範囲制限用突起１７を設けて、シリコン酸化膜２と可動ゲート電極部９、１０との間の間隔（１１）よりも狭い間隔（１１）とし、可動部５（可動ゲート電極部９、１０）が基板１に接近する方向（図４にて示す）での移動範囲が制限される。よって、通常、可動部５の加速度範囲であれば、正常に加速度センサとして作用する速度が加わる、可動部５（可動ゲート電極部９、１０）はその加速度により基板１に接近する方向に変形し、可動部５（可動ゲート電極部９、１０）が基板１（シリコン酸化膜４）に接触する前に、可動ゲート電極部９、１０がシリコン基板１（シリコン酸化膜４）に接触し、可動ゲート電極部９、１０のそれ以上のシリコン基板１側への接近が阻止される。即ち、その過大変形が抑えられる。このようにして、可動ゲート電極部９、１０とシリコン基板１（シリコン酸化膜４）との接触が回避され、ＭＩＳＦＥＴのトランジスタ特性が劣化しない。

【0032】このように本実施例では、可動ゲート電極部９、１０以外の可動部５の下面に可動範囲制限用突起１７を設け、シリコン酸化膜４と可動ゲート電極部９、１０との間の間隔よりも狭い間隔を形成した。その結果、可動ゲート電極部９、１０に過大な加速度が加わった場合にも、可動ゲート電極部９、１０がシリコン基板１（シリコン酸化膜４）に接触する前に可動範囲制限用突起１７が先に接触し、ＭＩＳＦＥＴ型トランジスタ特性は変化することなく、半導体加速度センサの検出精度差や経時変化を小さくできる。

【0033】又、4本の梁部7のそれぞれに可動範囲制限用突起17を設けているので、可動部5（梁部7）に突起17により確実に可動部4と電極部9、10がシリコン基板1（シリコン窒化膜4）に接触する前に可動範囲制限用突起17を接触させることができる。

【0034】さらに、可動部5の梁部7における重り部8に近接する位置に可動範囲制限突起17を設けたことで、過大な加速度が加わり重り部8が変形しようとしても可動範囲制限突起17によりその変形を防止でき

【0035】さらには、可動範囲制限用突起17は可動部5を構成する導軌を下方に変位させて形成していることで、容易に突起17を形成することができる。次に、本実施例の半導体加速センサの製造工程を、図1のA-A断面について、図5～図11および図2を用いて説明する。

【0036】図5に示すように、まずP型シリコン基板1を用い、その主表面の所定領域にシリコン酸化膜3を形成する。そして、P型シリコン基板1上のシリコン酸化膜3以外の表面にシリコン基板2を熱処理により形成し、さらにその下に、N型半導体拡散層よりなり下部電極18並びに図示しないMISFETのソース部(12)、(14)とドレイン部(13)、(15)を形成すべく、同時にイオン注入等により不純物を導入し、熱処理を行う。さらに、シリコン酸化膜2およびシリコン酸化膜3の上に全面にシリコン窒化膜4を減圧CVD等により形成する。

【0037】引き続き、図6に示すように、シリコン窒化膜4の上に犠牲層となるシリコン酸化膜19をプラズマCVD等により全面に形成する。このシリコン酸化膜19は厚さが均一である。

【0038】その後、図7に示すように、シリコン酸化膜19の上に、ポジ型レジスト20を全面にスピンコートにより塗布する。そして、図8に示すように、ポジ型レジスト20を図1、13に示すフォトリソ、21を用いて露光、現像し、ポジ型レジスト20をすべて除去する部分M1と、ポジ型レジスト20の厚み方向に一部を除去する部分(可動電極制御層用突起形成箇所) M2と、ポジ型レジスト20を全て残す部分M3を形成する。

【0039】この処理について詳細に説明する。図12は可動部5の形成領域に対して、ハッチングに示した導性層をパターンニングするフォトリソ21を示す。図13は、このフォトリソ21における一部であるD部14の拡大図である。ここで、ハッチング部はクロム等で形成された遮光部分を示す。図13におけるE部のように、図13に相当する部分の一部（可動部照用段突起形成箇所）に、露光光の解像度以下の微細パターンとしての分布層露光部22が形成されている。この分布層露光部22は、光が透過する微小な矩形の多数の窓23が図14に示すような可定の密度で分布形成されている。この矩形の窓23の大きさ、このフォトリソ21を使って露光する露光光の解像度以下、この分布層露光部22の窓23の大きさ、このフォトリソ21を使って露光する露光光の解像度以下の寸法である。例えば、使用される露光機の解像度が1.0μmの短波光線で、その解像度が1.0μmの短波光線である場合、この分布層露光部22の窓23の大きさは、このフォトリソ21を使って露光する露光光の解像度以下の寸法である。例えば、使用される露光機の解像度が1.0μmの短波光線である場合、この分布層露光部22の窓23の大きさは、このフォトリソ21を使って露光する露光光の解像度以下の寸法である。

ミクロン程度であれば、1個の矩形の一边の大きさは10倍のレチクルサイズで1ミクロン以下が適当である。図1に示すように、分布露光部22における光の透過量は、中央部分においては、図13のフォトマスク21のうち、分布露光部22の光の透過量に拡大したものと、そのフォトマスク21の光の透過量とを対応して示す。分布露光部22でない領域K1、K3における光の透過量はゼロである。一方、分布露光部22である領域K2における光の透過量は、中央に行くほど小さくなるように、図々の意図23の密度(個数/単位面積)が変えられている。尚、分布露光部22における領域K2における光の透過量は、中央に行くほど大きくなっているが、中央部分においては、その透過量が十分に大きくなるように、図14の意図24の密度(個数/単位面積)が変えられている。

量が最大値で一定となる領域  $K_2'$  を有している。

【0040】以上、図12から図14で説明したフォトマスク21を使って、分布露光した後、現像すると、図18に示すように、完全光が透過した部分M1は、完全に現像されるため、レジスト20が完全に除去される。又、完全に光が透過した部分M3は、レジスト20が完全に残る。一方、部分的に光が透過した部分M2は、レジスト20の厚みが減少する。

【0041】次に、図9に示すように、現象されたレジスタ20をフォトリソクとして、犠牲層となるシリコン酸化膜19をウェットエッチングもしくはドライエッチングする。望ましくは、CF<sub>4</sub>とO<sub>2</sub>によるドライエッチングを行う。CF<sub>4</sub>はシリコン酸化膜19をエッチングし、O<sub>2</sub>はレジスタ20をエッチングする。この時、CF<sub>4</sub>によるシリコン酸化膜19のエッチングレートとO<sub>2</sub>によるレジスタ20のエッチングレートが等しくなるように、それらのガスの流量や圧力を設定すると、現象されたレジスタ20の形状がそのまま犠牲層となるシリコン酸化膜19に転写される。即ち、犠牲層となるシリコン酸化膜19に、一部分その膜厚が薄くなった部分19aと全く膜厚が変化しない部分19bが形成される。この膜厚が薄くなった部分19aが可動部利用限用突起17の形成箇所である。又、シリコン酸化膜19が無くならない領域の一部がアンカー部6の形成箇所となる。即ち、フォトリソク2とは微細パターンとしての分佈露光部22を有するとともに可動部5のアンカー部形成箇所としてのポリシリコン薄膜24を、減圧CVD等により形成する。次に、図11に示すように、ポリシリコン薄膜24をパターンニングし、アンカー部6、開口部11、梁部7、重なり部8、可動部4電極部9、10、可動部利用限用突起17を一体化形成する。

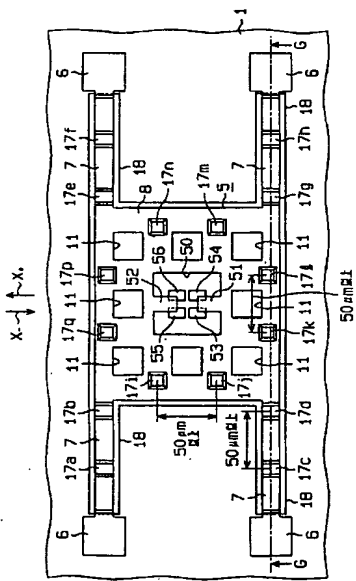
【0043】最後に、図2に示すように、シリコン酸化膜19（犧牲膜）をエッチングすると、アンカー部6を除いて、梁部7、重り部8、可動ゲート電極部9、10、および可動鉤制限用突起17が、下地であるシリコン酸化膜4から露間され、可動構造が形成される。

【0044】このシリコン酸化膜19（導性層）のエッチング工程をより詳しく説明すると、基板をエッチング液中に入れてシリコン酸化膜19（導性層）をエッチングし、その後、基板をエッチング液から取り出す。この状態では基板の表面にエッチング液が付着しているの  
で、基板を純水中に入れてエッチング液と置換し、その後、基板を純水から取り出し、基板を乾燥させる。この  
後、基板の乾燥の際に、可動部（梁部7、重り部8、可動ゲート電極部9、10）と基板1との間に純水が存在し、  
可動部（梁部7、重り部8、可動ゲート電極部9、10）により可動部（梁部7、重り部8、可動ゲート電極部9、10）が基板1の表面に引っ張られる形で固定して

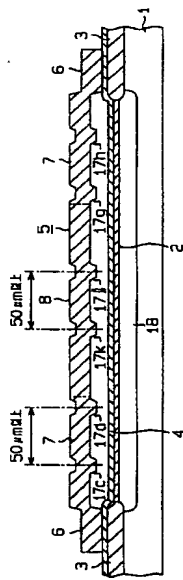




【図17】



【図18】



【図20】

